

1/3/1 (Item 1 from file: 351)  
DIALOG(R)File 351:Derwent WPI  
(c) 2006 The Thomson Corp. All rts. reserv.

015334096 \*\*Image available\*\*  
WPI Acc No: 2003-395033/200338  
XRPX Acc No: N03-315466

**Integrated circuit includes semiconductor components suppressing noise  
and spikes which are integrated into same semiconductor substrate**

Patent Assignee: FUJI ELECTRIC CO LTD (FJIE )

Inventor: FURUHATA S; ICHIMURA T; KIUCHI S; YAEZAWA N; YOSHIDA K

Number of Countries: 003 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 10241086	A1	20030327	DE 1041086	A	20020905	200338 B
US 20030063503	A1	20030403	US 2002235841	A	20020906	200338
JP 2003158193	A	20030530	JP 2002164890	A	20020605	200345

Priority Applications (No Type Date): JP 2001269773 A 20010906

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
DE 10241086	A1		21	H01L-023/62	
US 20030063503	A1			G11C-007/00	
JP 2003158193	A		12	H01L-021/822	

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-158193

(43)Date of publication of application : 30.05.2003

(51)Int.Cl.

H01L 21/822

B60R 16/02

H01L 27/04

H01L 27/06

(21)Application number : 2002-164890

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 05.06.2002

(72)Inventor : KIUCHI SHIN  
YOSHIDA KAZUHIKO  
ICHIMURA TAKESHI  
YAESAWA NAOKI  
FURUHATA SHOICHI

(30)Priority

Priority number : 2001269773

Priority date : 06.09.2001

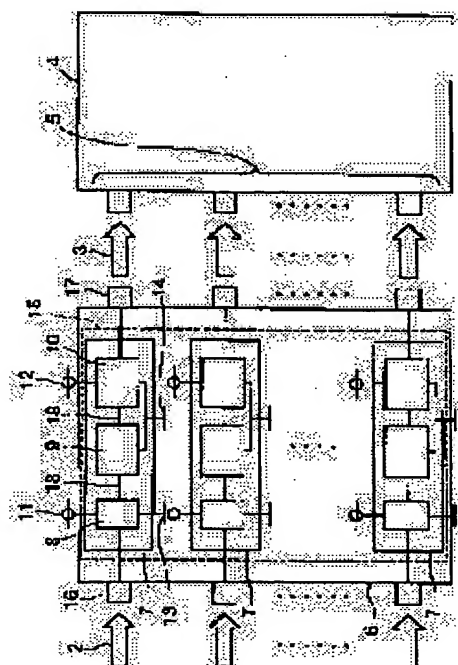
Priority country : JP

## (54) HYBRID INTEGRATED SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To solve the problem that a diode, a resistor, and a capacitor for absorbing noises and so on are scattered as discrete components on a printed board between an input connector and an integrated circuit and large mounting area, a large number of components, and a large amount mounting man-hours is needed.

**SOLUTION:** An input surge absorbing circuit 8 which absorbs an input surge from an input connector is constituted by putting a level shift circuit 9 which attenuates or shifts the level of an input signal and an electric signal converting circuit 10 such as an operational amplifier and a buffer circuit in one unit structure and then arranging and packaging a plurality of unit structures in parallel.



## LEGAL STATUS

[Date of request for examination]

14.10.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-158193  
(P2003-158193A)

(43) 公開日 平成15年5月30日 (2003.5.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 1 L 21/822		B 6 0 R 16/02	6 6 0 Q 5 F 0 3 8
B 6 0 R 16/02	6 6 0	H 0 1 L 27/06	3 1 1 A 5 F 0 4 8
H 0 1 L 27/04			3 1 1 C
27/06	3 1 1	27/04	H
			F

審査請求 未請求 請求項の数16 O L (全 12 頁)

(21) 出願番号 特願2002-164890 (P2002-164890)  
(22) 出願日 平成14年6月5日 (2002.6.5)  
(31) 優先権主張番号 特願2001-269773 (P2001-269773)  
(32) 優先日 平成13年9月6日 (2001.9.6)  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005234  
富士電機株式会社  
神奈川県川崎市川崎区田辺新田1番1号  
(72) 発明者 木内 伸  
神奈川県川崎市川崎区田辺新田1番1号  
富士電機株式会社内  
(72) 発明者 吉田 和彦  
神奈川県川崎市川崎区田辺新田1番1号  
富士電機株式会社内  
(74) 代理人 100104190  
弁理士 酒井 昭徳

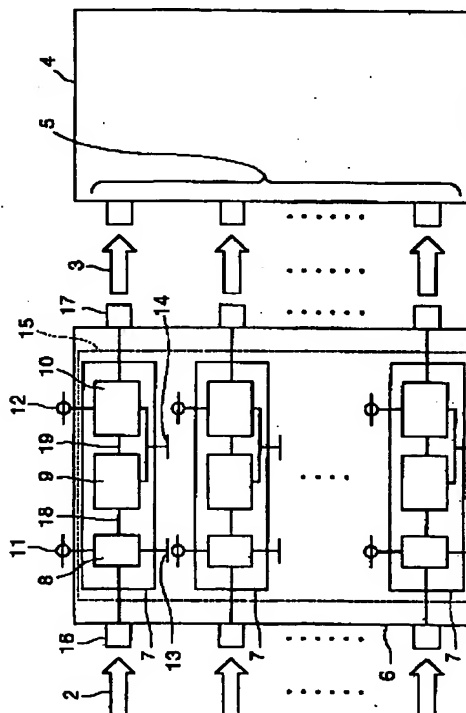
最終頁に続く

(54) 【発明の名称】 複合集積半導体装置

(57) 【要約】

【課題】 入力コネクタと集積回路の間でノイズ吸収等のためのダイオード、抵抗、コンデンサがディスクリート部品でプリント基板上に点在しており、実装面積、部品点数、実装工数がかかっていたのを改善する。

【解決手段】 入力コネクタからの入力サージを吸収する入力サージ吸収回路8と、入力した信号を減衰またはレベルシフトする減衰またはレベルシフト回路9と、オペアンプ、バッファ回路などの電気的信号変換回路10を1つの単位構造とし、この単位構造を複数個並列に配置し、1つのパッケージとする。





を具備し、  
前記サージ・ノイズ吸収手段を構成する半導体素子、および前記減衰・レベルシフト手段を構成する半導体素子は、同一の半導体基板に集積されていることを特徴とする複合集積半導体装置。

【請求項 9】 外部から電氣的信号が入力される入力手段と、

外部へ電氣的信号を出力する出力手段と、

前記入力手段と前記出力手段との間に接続された、サージまたはノイズを吸収する機能を具えたサージ・ノイズ吸収手段と、

前記入力手段と前記出力手段との間に接続された、電氣的信号変換機能を具えた電氣的信号変換手段と、

を具備し、

前記サージ・ノイズ吸収手段を構成する半導体素子、および前記電氣的信号変換手段を構成する半導体素子は、同一の半導体基板に集積されていることを特徴とする複合集積半導体装置。

【請求項 10】 外部から電氣的信号が入力される入力手段と、

外部へ電氣的信号を出力する出力手段と、

前記入力手段と前記出力手段との間に接続された、減衰機能またはレベルシフト機能を具えた減衰・レベルシフト手段と、

前記入力手段と前記出力手段との間に接続された、電氣的信号変換機能を具えた電氣的信号変換手段と、

を具備し、

前記減衰・レベルシフト手段を構成する半導体素子、および前記電氣的信号変換手段を構成する半導体素子は、同一の半導体基板に集積されていることを特徴とする複合集積半導体装置。

【請求項 11】 外部から電氣的信号が入力される入力手段と、

外部へ電氣的信号を出力する出力手段と、

前記入力手段と前記出力手段との間に接続された、サージまたはノイズを吸収する機能を具えたサージ・ノイズ吸収手段と、

前記入力手段と前記出力手段との間に接続された、減衰機能またはレベルシフト機能を具えた減衰・レベルシフト手段と、

前記入力手段と前記出力手段との間に接続された、電氣的信号変換機能を具えた電氣的信号変換手段と、

を具備し、

前記サージ・ノイズ吸収手段を構成する半導体素子、前記減衰・レベルシフト手段を構成する半導体素子、および前記電氣的信号変換手段を構成する半導体素子は、同一の半導体基板に集積されていることを特徴とする複合集積半導体装置。

【請求項 12】 前記サージ・ノイズ吸収手段は、150 pF、500 Ω で ±0.5 ~ 15 kV 以上の静電気サ

ージ耐量もしくは 100 pF、1500 Ω で ±1000 V 以上の静電気サージ耐量、または 10 KHz ~ 200 MHz で 20 ~ 100 V/m 以上の電磁波耐量を具えていることを特徴とする請求項 1、4、5、7 ~ 9 または 11 のいずれか一つに記載の複合集積半導体装置。

【請求項 13】 前記出力手段を介して、自動車の電装品を制御する制御装置に電氣的信号を出力することを特徴とする請求項 1 ~ 12 のいずれか一つに記載の複合集積半導体装置。

【請求項 14】 前記出力手段の伸びる方向は、前記入力手段の伸びる方向に対して 90° 以上の角度なしていることを特徴とする請求項 1 ~ 13 のいずれか一つに記載の複合集積半導体装置。

【請求項 15】 前記各半導体素子が集積された前記半導体基板は、樹脂により封止されていることを特徴とする請求項 1 ~ 14 のいずれか一つに記載の複合集積半導体装置。

【請求項 16】 前記各半導体素子が集積された前記半導体基板は、セラミックにより封止されていることを特徴とする請求項 1 ~ 14 のいずれか一つに記載の複合集積半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、サージまたはノイズを吸収する機能を具えたサージ・ノイズ吸収手段や、減衰機能またはレベルシフト機能を具えた減衰・レベルシフト手段や、電氣的信号変換機能を具えた電氣的信号変換手段など、異なる手段が同一半導体基板に集積された複合集積半導体装置に関し、特に自動車の電装品を制御する制御装置に電位レベルのあった、サージやノイズのない信号を入力させるために前記制御装置の入力側に接続される複合集積半導体装置に関する。

【0002】

【従来の技術】一般に、自動車の電装品を制御するコントロールユニット (ECU) と呼ばれる制御装置に、電位レベルのあった、サージやノイズのない信号を入力させるため、制御装置の入力側に、サージまたはノイズを吸収する機能を具えたサージ・ノイズ吸収回路や、減衰機能またはレベルシフト機能を具えた減衰・レベルシフト回路や、電氣的信号変換機能を具えた電氣的信号変換回路などが接続される。図 16 は、それら機能回路の従来構成を模式的に示すブロック図である。

【0003】図 16 に示すように、従来、それらの機能を実現する回路は、図示しないプリント基板上に抵抗、コンデンサおよびダイオード等の複数のディスクリート部品 1 を適宜組み合わせることで実装した構成となっている。外部から供給された電氣的入力信号 2 は、これらの機能回路を経て、半導体装置 4 の入力端子 5 に、半導体装置 4 の駆動電位レベルにあった、サージやノイズのない電氣的出力信号 3 として供給される。

## 【0004】

【発明が解決しようとする課題】しかしながら、上述した従来の構成では、所望の機能を具えた回路を、複数のディスクリート部品1により実現していたため、部品点数が多くなり、プリント基板における実装面積が大きくなってしまいうという問題点があった。また、部品点数が多いため、それらの実装工数が多いという問題点があった。

【0005】本発明は、上記問題点に鑑みてなされたものであって、プリント基板上に実装される部品点数を減らすことによって、プリント基板上での実装面積を小さくするとともに、部品の実装工数を減らすことができる複合集積半導体装置を提供することを目的とする。

## 【0006】

【課題を解決するための手段】上記目的を達成するため、本発明にかかる複合集積半導体装置は、サージ・ノイズ吸収回路や減衰・レベルシフト回路や電気的信号変換回路などを同一半導体基板に集積したものである。

【0007】すなわち、本発明にかかる複合集積半導体装置は、外部から電気的信号が入力される複数の入力手段と、外部へ電気的信号を出力する複数の出力手段と、前記各入力手段と当該入力手段に対応する前記各出力手段との間にそれぞれ接続された、サージまたはノイズを吸収する機能を具えたサージ・ノイズ吸収手段と、を具備し、複数の前記サージ・ノイズ吸収手段を構成する半導体素子は、同一の半導体基板に集積されていることを特徴とする。

【0008】あるいは、本発明にかかる複合集積半導体装置は、外部から電気的信号が入力される複数の入力手段と、外部へ電気的信号を出力する複数の出力手段と、前記各入力手段と当該入力手段に対応する前記各出力手段との間にそれぞれ接続された、減衰機能またはレベルシフト機能を具えた減衰・レベルシフト手段と、を具備し、複数の前記減衰・レベルシフト手段を構成する半導体素子は、同一の半導体基板に集積されていることを特徴とする。

【0009】あるいは、本発明にかかる複合集積半導体装置は、外部から電気的信号が入力される複数の入力手段と、外部へ電気的信号を出力する複数の出力手段と、前記各入力手段と当該入力手段に対応する前記各出力手段との間にそれぞれ接続された、電気的信号変換機能を具えた電気的信号変換手段と、を具備し、複数の前記電気的信号変換手段を構成する半導体素子は、同一の半導体基板に集積されていることを特徴とする。

【0010】あるいは、本発明にかかる複合集積半導体装置は、外部から電気的信号が入力される複数の入力手段と、外部へ電気的信号を出力する複数の出力手段と、前記各入力手段と当該入力手段に対応する前記各出力手段との間にそれぞれ接続された、サージまたはノイズを吸収する機能を具えたサージ・ノイズ吸収手段と、前記

各入力手段と当該入力手段に対応する前記各出力手段との間にそれぞれ接続された、減衰機能またはレベルシフト機能を具えた減衰・レベルシフト手段と、を具備し、複数の前記サージ・ノイズ吸収手段を構成する半導体素子、および複数の前記減衰・レベルシフト手段を構成する半導体素子は、同一の半導体基板に集積されていることを特徴とする。

【0011】あるいは、本発明にかかる複合集積半導体装置は、外部から電気的信号が入力される複数の入力手段と、外部へ電気的信号を出力する複数の出力手段と、前記各入力手段と当該入力手段に対応する前記各出力手段との間にそれぞれ接続された、サージまたはノイズを吸収する機能を具えたサージ・ノイズ吸収手段と、前記各入力手段と当該入力手段に対応する前記各出力手段との間にそれぞれ接続された、電気的信号変換機能を具えた電気的信号変換手段と、を具備し、複数の前記サージ・ノイズ吸収手段を構成する半導体素子、および複数の前記電気的信号変換手段を構成する半導体素子は、同一の半導体基板に集積されていることを特徴とする。

【0012】あるいは、本発明にかかる複合集積半導体装置は、外部から電気的信号が入力される複数の入力手段と、外部へ電気的信号を出力する複数の出力手段と、前記各入力手段と当該入力手段に対応する前記各出力手段との間にそれぞれ接続された、減衰機能またはレベルシフト機能を具えた減衰・レベルシフト手段と、前記各入力手段と当該入力手段に対応する前記各出力手段との間にそれぞれ接続された、電気的信号変換機能を具えた電気的信号変換手段と、を具備し、複数の前記減衰・レベルシフト手段を構成する半導体素子、および複数の前記電気的信号変換手段を構成する半導体素子は、同一の半導体基板に集積されていることを特徴とする。

【0013】あるいは、本発明にかかる複合集積半導体装置は、外部から電気的信号が入力される複数の入力手段と、外部へ電気的信号を出力する複数の出力手段と、前記各入力手段と当該入力手段に対応する前記各出力手段との間にそれぞれ接続された、サージまたはノイズを吸収する機能を具えたサージ・ノイズ吸収手段と、前記各入力手段と当該入力手段に対応する前記各出力手段との間にそれぞれ接続された、減衰機能またはレベルシフト機能を具えた減衰・レベルシフト手段と、前記各入力手段と当該入力手段に対応する前記各出力手段との間にそれぞれ接続された、電気的信号変換機能を具えた電気的信号変換手段と、を具備し、複数の前記サージ・ノイズ吸収手段を構成する半導体素子、複数の前記減衰・レベルシフト手段を構成する半導体素子、および複数の前記電気的信号変換手段を構成する半導体素子は、同一の半導体基板に集積されていることを特徴とする。

【0014】あるいは、本発明にかかる複合集積半導体装置は、外部から電気的信号が入力される入力手段と、外部へ電気的信号を出力する出力手段と、前記入力手段

と前記出力手段との間に接続された、サージまたはノイズを吸収する機能を具えたサージ・ノイズ吸収手段と、前記入力手段と前記出力手段との間に接続された、減衰機能またはレベルシフト機能を具えた減衰・レベルシフト手段と、を具備し、前記サージ・ノイズ吸収手段を構成する半導体素子、および前記減衰・レベルシフト手段を構成する半導体素子は、同一の半導体基板に集積されていることを特徴とする。

【0015】あるいは、本発明にかかる複合集積半導体装置は、外部から電氣的信号が入力される入力手段と、外部へ電氣的信号を出力する出力手段と、前記入力手段と前記出力手段との間に接続された、サージまたはノイズを吸収する機能を具えたサージ・ノイズ吸収手段と、前記入力手段と前記出力手段との間に接続された、電氣的信号変換機能を具えた電氣的信号変換手段と、を具備し、前記サージ・ノイズ吸収手段を構成する半導体素子、および前記電氣的信号変換手段を構成する半導体素子は、同一の半導体基板に集積されていることを特徴とする。

【0016】あるいは、本発明にかかる複合集積半導体装置は、外部から電氣的信号が入力される入力手段と、外部へ電氣的信号を出力する出力手段と、前記入力手段と前記出力手段との間に接続された、減衰機能またはレベルシフト機能を具えた減衰・レベルシフト手段と、前記入力手段と前記出力手段との間に接続された、電氣的信号変換機能を具えた電氣的信号変換手段と、を具備し、前記減衰・レベルシフト手段を構成する半導体素子、および前記電氣的信号変換手段を構成する半導体素子は、同一の半導体基板に集積されていることを特徴とする。

【0017】あるいは、本発明にかかる複合集積半導体装置は、外部から電氣的信号が入力される入力手段と、外部へ電氣的信号を出力する出力手段と、前記入力手段と前記出力手段との間に接続された、サージまたはノイズを吸収する機能を具えたサージ・ノイズ吸収手段と、前記入力手段と前記出力手段との間に接続された、減衰機能またはレベルシフト機能を具えた減衰・レベルシフト手段と、前記入力手段と前記出力手段との間に接続された、電氣的信号変換機能を具えた電氣的信号変換手段と、を具備し、前記サージ・ノイズ吸収手段を構成する半導体素子、前記減衰・レベルシフト手段を構成する半導体素子、および前記電氣的信号変換手段を構成する半導体素子は、同一の半導体基板に集積されていることを特徴とする。

【0018】上述した各発明において、前記サージ・ノイズ吸収手段は、 $150\text{ pF}$ 、 $500\Omega$ 、 $\pm 0.5\sim 15\text{ kV}$ 以上の静電気サージ耐量もしくは $100\text{ pF}$ 、 $1500\Omega$ で $\pm 1000\text{ V}$ 以上の静電気サージ耐量、または $10\text{ KHz}\sim 200\text{ MHz}$ で $20\sim 100\text{ V/m}$ 以上の電磁波耐量を具えた構成としてもよい。また、本発明

にかかる複合集積半導体装置は、前記出力手段を介して、自動車の電装品を制御する制御装置に電氣的信号を出力する構成としてもよい。また、前記出力手段の伸びる方向が、前記入力手段の伸びる方向に対して $90^\circ$ 以上の角度なす構成としてもよい。そして、前記各半導体素子が集積された前記半導体基板が、樹脂やセラミックにより封止された構成としてもよい。

【0019】上述した各発明によれば、サージ・ノイズ吸収手段や減衰・レベルシフト手段や電氣的信号変換手段などが同一半導体基板に集積されているため、従来のディスクリット部品の半導体装置を組み合わせた回路構成に比べて、プリント基板上に実装される部品点数が減る。

【0020】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。図2は、本発明にかかる複合集積半導体装置の構成の一例を機能的に示すブロック図であり、図1は、その複合集積半導体装置と他の半導体装置とのインターフェースの一例を模式的に示すブロック図である。図1および図2に示すように、複合集積半導体装置15は、複数の集積回路7を備えている。これら複数の集積回路7は、基準電位間に並列に接続されており、同一の半導体基板内または半導体基板上に形成され、半導体パッケージ6に封止されている。

【0021】各集積回路7は、サージまたはノイズを吸収するサージ・ノイズ吸収手段である入力サージ吸収回路8と、減衰機能またはレベルシフト機能を具えた減衰・レベルシフト手段である減衰またはレベルシフト回路9と、電氣的信号変換機能を具えた電氣的信号変換手段である電氣的信号変換回路10とからなる構成を、単位構造としている。本実施の形態では、入力サージ吸収回路8の基準電位は電氣的信号変換回路10の基準電位と異なるため、入力サージ吸収回路8と電氣的信号変換回路10とは、減衰またはレベルシフト回路9を介して接続されている。

【0022】図1および図2において、符号16は、複合集積半導体装置15の入力手段であり、半導体パッケージ6から突出する入力端子である。符号17は、複合集積半導体装置15の出力手段であり、半導体パッケージ6から突出する出力端子である。入力サージ吸収回路8は、複合集積半導体装置15の入力端子16と複合集積半導体装置15の接地ライン13との間、またはその接地ライン13と複合集積半導体装置15の第1の電源ライン11との間に印加された静電気サージや電磁波ノイズを吸収する。

【0023】図1に示すように、複合集積半導体装置15の入力端子16に外部から伝達された電氣的入力信号2は、まず、減衰またはレベルシフト回路9の入力ライン18に伝達される。減衰またはレベルシフト回路9



は、電気的入力信号 2 に対して、過渡的および DC 的な電圧成分を減衰、レベルシフトさせる。減衰またはレベルシフト回路 9 から出力された電気的信号は、電気的信号変換回路 10 の入力ライン 19 に伝達される。

【0024】電気的信号変換回路 10 は、接地ライン 14 に対する第 2 の電源ライン 12 の印加電圧を基準電圧とする電気的出力信号 3 に変換する。電気的出力信号 3 は、複合集積半導体装置 15 の出力手段である出力端子 17 を介して外部へ出力され、マイクロコンピュータや LSI 等の半導体装置 4 の入力端子 5 に伝達される。

【0025】図 3 は、本発明にかかる複合集積半導体装置のチップレイアウトの一例を示すチップ平面図である。たとえば図 3 に示す複合集積半導体装置 20 を構成する半導体チップでは、入力サージ吸収回路 21、減衰またはレベルシフト回路 22 および電気的信号変換回路 23 は、チップの横方向（図面の左右方向）に並べられて一つの集積回路となっており、これが複数個、チップの縦方向（図面の上下方向）に並んで配置されている。

【0026】なお、入力サージ吸収回路 21、減衰またはレベルシフト回路 22 および電気的信号変換回路 23 は、それぞれ図 2 の入力サージ吸収回路 8、減衰またはレベルシフト回路 9 および電気的信号変換回路 10 に相当する。図 3 に示すチップレイアウトにおいて、図面最下段の横方向に並ぶ 2 つの領域は、入力サージ吸収回路 21 側の接地点となる領域と電気的信号変換回路 23 側の接地点となる領域であり、基準電位が異なるため、別領域として形成されている。

【0027】また、図 4 に示すように、たとえば複合集積半導体装置 15 の単位構造である集積回路 7 が、入力サージ吸収回路 8 のみで構成されていてもよい。同様に、特に図示しないが、集積回路 7 が、減衰またはレベルシフト回路 9 のみで構成されていてもよいし、電気的信号変換回路 10 のみで構成されていてもよい。また、集積回路 7 が、入力サージ吸収回路 8、減衰またはレベルシフト回路 9 および電気的信号変換回路 10 のうちのいずれか 2 つで構成されていてもよい。なお、図 4 において、図 2 と同様の構成については図 2 と同一の符号を付している。

【0028】図 5 に、本発明にかかる複合集積半導体装置を自動車電装用として、エンジン、オートマチックトランスミッション、アンチロックブレーキシステム等のコントロールユニット（ECU）に適用した例を示す。なお、図 5 では、コントロールユニット 24 の筐体を透明にして、内部構造が見えるようにしている。コントロールユニット 24 は、プリント基板 25 に、複合集積半導体装置 27 と、マイクロコンピュータ等の制御装置を構成する半導体装置 28 とが実装され、さらにコントロールユニット用コネクタ 26 が取り付けられた構成となっている。

【0029】コントロールユニット用コネクタ 26 に

は、自動車の状態や情報等を半導体装置 28 が把握するための電気的入力信号 29 が外部から入力される。したがって、複合集積半導体装置 27 は、コントロールユニット用コネクタ 26 と半導体装置 28 との間に介在させられる。複合集積半導体装置 27 の入力側に異なる電位の信号が複数入力される場合には、複合集積半導体装置 27 の入力端子にそれぞれにあった抵抗が接続される。

【0030】コントロールユニット用コネクタ 26 には静電気サージや電磁波ノイズが入力されるが、これら静電気サージや電磁波ノイズは複合集積半導体装置 27 により除去される。そして、静電気サージや電磁波ノイズのない電気的信号は、複合集積半導体装置 27 において、半導体装置 28 への入力信号として適当な電位レベルの信号、すなわち電気的出力信号 30 に変換されて、半導体装置 28 の入力端子に伝達される。このように、複合集積半導体装置 27 を用いることによって、同等の機能を従来のようにディスクリート部品で構成した場合（図 16 参照）に比べて、プリント基板 25 に占める半導体部品の実装面積が減り、また半導体部品の実装コストも減る。

【0031】本発明にかかる複合集積半導体装置を自動車電装用として用いる場合、静電気サージ耐量は、自動車規格 JASO, D001-94 の 150 pF、500 Ω で ±0.5 ~ 15 kV 以上、または EIAJ ED-4701-1 の規格における 100 pF、1500 Ω で ±1000 V 以上である。また、電磁波耐量は、10 KHz ~ 200 MHz で 20 ~ 100 V/m 以上である。

【0032】つぎに、半導体パッケージ 6 の具体例について説明する。図 6 は、本発明にかかる複合集積半導体装置を SOP (Small Outline Package) パッケージ 31 に封止した例を示す平面図である。図 6 に示すように、複数の出力端子 34 は、複数の入力端子 33 に対して 180° の角度を隔てた方向に振り分けられており、それによって入力端子 33 に印加されるサージやノイズが出力端子 34 に伝搬するのを防いでいる。図 6 において、符号 32 および 35 を付した矢印は、それぞれ電気的入力信号および電気的出力信号を表す。

【0033】図 7 は、本発明にかかる複合集積半導体装置を DIP (Dual Inline Package) パッケージ 36 に封止した例を斜め上方から見た斜視図である。図 7 に示すように、複数の出力端子 39 は、複数の入力端子 38 に対して 180° の角度を隔てた方向に振り分けられており、それによって入力端子 38 に印加されるサージやノイズが出力端子 39 に伝搬するのを防いでいる。図 7 において、符号 37 および 40 を付した矢印は、それぞれ電気的入力信号および電気的出力信号を表す。

【0034】図 8 は、本発明にかかる複合集積半導体装置を QFP (Quad Flat Package) パッ

ゲージ 41 に封止した例を示す平面図である。図 8 に示すように、複数の出力端子 44 は、複数の入力端子 43 に対して 90° 以上の角度を隔てた別の 1 つ以上の方向（図 8 に示す例では 2 方向）に振り分けられている。図 8 において 45 は電氣的出力信号を示している。ここで、入力端子 43 に対して 90° 以上の角度を隔てた別の方向とは、入力端子 43 への電氣的入力信号 42 の入力方向に対して、上下左右他の全方向を示すので、たとえば一方をパッケージの側面から導出し、他方をパッケージの下面から導出する構成としてもよい。

【0035】図 9 は、本発明にかかる複合集積半導体装置を BGA (Ball Grid Array) パッケージ 46 および、CSP (Chip Size Package) パッケージ 46 に封止した例を示す平面図である。図 9 に示すように、複数の出力端子 49 は、複数の入力端子 48 が設けられた辺に対して 90° 以上の角度を隔てた別の辺（図 9 に示す例では相対峙する辺）に振り分けられている。図 9 において、47 は電氣的入力信号を、50 は電氣的出力信号をそれぞれ示している。

【0036】以上例示した各種パッケージにおいて、特徴となっているのは、一方に複数の入力端子がまとめられ、他方に複数の出力端子がまとめられていることである。したがって、少なくとも入力端子および出力端子のそれぞれが複数まとめられて一方と他方に導出されていればよいので、残りの方向に電源端子や接地端子を導出するものも本発明に含まれる。

【0037】図 10～図 14 は、複合集積半導体装置 15 の入力サージ吸収回路 8、減衰またはレベルシフト回路 9、電氣的信号変換回路 10 の具体的な回路構成を示す回路図である。ただし、いずれの図も、複合集積半導体装置 15 の単位構造である集積回路 7 の 1 つ分について示されている。

【0038】図 10 に示す例では、10 個のダイオード 51～60、6 個の抵抗 61～66 および回路ブロック 67 が設けられている。図 11 に示す例では、8 個のダイオード 71～78 および 5 個の抵抗 79～83 が設けられている。図 12 に示す例では、11 個のダイオード 91～101、5 個の抵抗 102～106 およびオペアンプ 107 が設けられている。図 13 に示す例では、9 個のダイオード 111～119、6 個の抵抗 120～125 および回路ブロック 126 が設けられている。

【0039】図 14 に示す例では、3 個のダイオード 131～133、2 個の抵抗 134、135、7 個の MOSFET 136～142 およびコンデンサ 143 が設けられている。ここで、回路ブロック 67、126 には、図 15 に示すように、オペアンプ (OPamp) 151、バッファ 152、インバータ 153、論理ゲート 154、フィルタ 155 または ROM 156 などの回路が設けられる。

【0040】図 10～図 14 に示す回路において、ダイ

オード 51～60、71～78、91～101、111～119、131～133 は、たとえば半導体基板に形成された P 型の拡散領域と N 型の拡散領域とからなる PN 接合構造や、主端子の一端とゲートを短絡した MOSFET などにより構成される。また、抵抗 61～66、79～83、102～106、120～125、134、135 は、たとえば半導体基板に形成された拡散領域からなる拡散抵抗や、ポリシリコンよりなる抵抗や、半導体基板に形成されたウェルによるウェル抵抗などにより構成される。

【0041】また、コンデンサ 143 は、ウェルとその上に絶縁膜を介して積層されたポリシリコンなどにより構成される。また、オペアンプ 151、バッファ 152、インバータ 153、論理ゲート 154、フィルタ 155 または ROM 156 などは、MOSFET や上述した抵抗やコンデンサなどにより構成される。各部の電圧は、IN が 24V、Vcc1 が 18V、Vcc2 が 7V、OUT が 4.0～5.3V である。

【0042】上述した実施の形態によれば、入力サージ吸収回路 8 や減衰またはレベルシフト回路 9 や電氣的信号変換回路 10 などが同一半導体基板に集積されているため、従来のディスクリート部品の半導体装置を組み合わせた回路構成に比べて、プリント基板上に実装される部品点数が減る。したがって、プリント基板上での部品の実装面積が小さくなるという効果と、部品の実装工数が減るという効果が得られる。

【0043】以上において本発明は、上述した実施の形態に限らず、マイクロコンピュータ等の前段に設けられる、ノイズやサージ等を吸収する回路や、マイクロコンピュータ等の電位レベルに合わせる回路等を同一半導体基板に集積した構成となっていれば、種々変更可能である。

【0044】

【発明の効果】本発明によれば、サージ・ノイズ吸収手段や減衰・レベルシフト手段や電氣的信号変換手段などが同一半導体基板に集積されているため、従来のディスクリート部品の半導体装置を組み合わせた回路構成に比べて、プリント基板上に実装される部品点数が減るので、プリント基板上での実装面積が小さくなり、また部品の実装工数が減るという効果が得られる。

【図面の簡単な説明】

【図 1】本発明にかかる複合集積半導体装置と他の半導体装置とのインターフェースの一例を模式的に示すブロック図である。

【図 2】本発明にかかる複合集積半導体装置の構成の一例を機能的に示すブロック図である。

【図 3】本発明にかかる複合集積半導体装置のチップレイアウトの一例を示すチップの平面図である。

【図 4】本発明にかかる複合集積半導体装置の構成の他の例を機能的に示すブロック図である。

13

【図 5】本発明にかかる複合集積半導体装置を適用した自動車電装用コントロールユニットの内部を透過させて示す斜視図である。

【図 6】本発明にかかる複合集積半導体装置を封止した SOP パッケージを示す平面図である。

【図 7】本発明にかかる複合集積半導体装置を封止した DIP パッケージを示す斜視図である。

【図 8】本発明にかかる複合集積半導体装置を封止した QFP パッケージを示す平面図である。

【図 9】本発明にかかる複合集積半導体装置を封止した BGA パッケージまたは CSP パッケージを示す平面図である。

【図 10】本発明にかかる複合集積半導体装置の単位構造の一例を示す回路図である。

【図 11】本発明にかかる複合集積半導体装置の単位構造の他の例を示す回路図である。

【図 12】本発明にかかる複合集積半導体装置の単位構造の他の例を示す回路図である。

【図 13】本発明にかかる複合集積半導体装置の単位構造の他の例を示す回路図である。

【図 14】本発明にかかる複合集積半導体装置の単位構造の他の例を示す回路図である。

14

造の他の例を示す回路図である。

【図 15】図 10 または図 12 に示す回路構成における回路ブロックの機能的な構成を示すブロック図である。

【図 16】従来のディスクリート半導体部品よりなる機能回路と半導体装置とのインターフェースを模式的に示すブロック図である。

【符号の説明】

2, 29, 32, 37, 42, 47 電気的入力信号

3, 30, 35, 40, 45, 50 電気的出力信号

4, 28 半導体装置

6, 31, 36, 41, 46 半導体パッケージ

8, 21 サージ・ノイズ吸収手段（入力サージ吸収回路）

9, 22 減衰・レベルシフト手段（減衰またはレベルシフト回路）

10, 23 電気的信号変換手段（電気的信号変換回路）

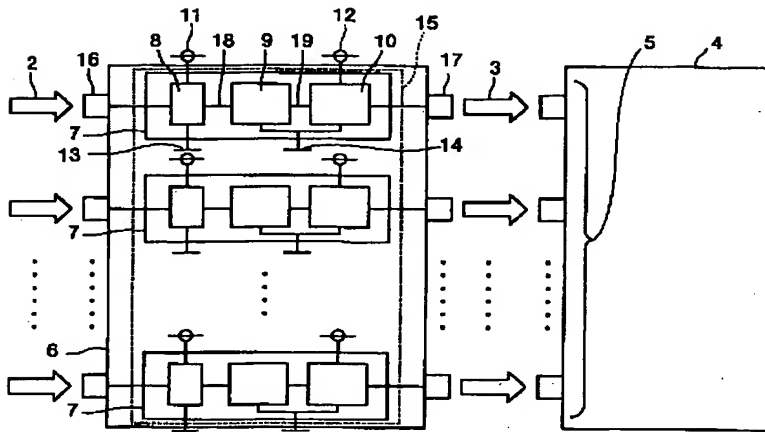
15, 20, 27 複合集積半導体装置

16, 33, 38, 43, 48 入力手段（入力端子）

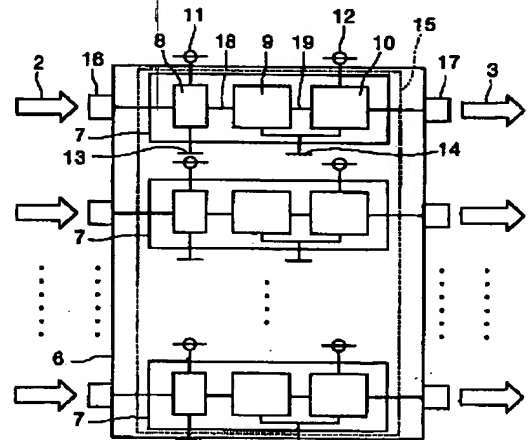
17, 34, 39, 44, 49 出力手段（出力端子）

24 コントロールユニット

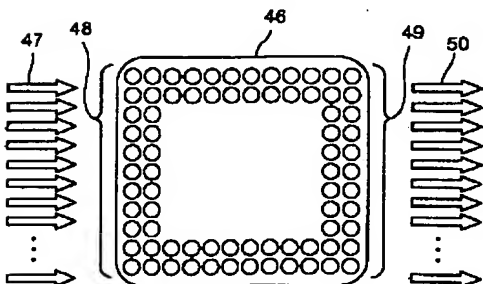
【図 1】



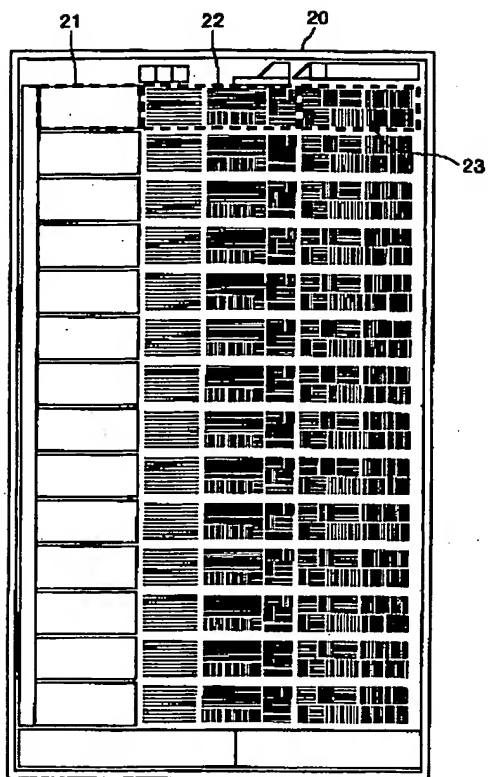
【図 2】



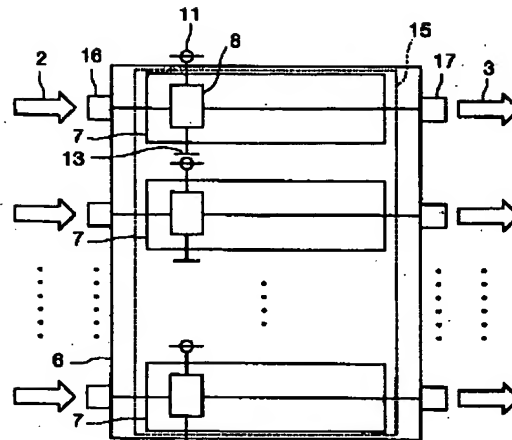
【図 9】



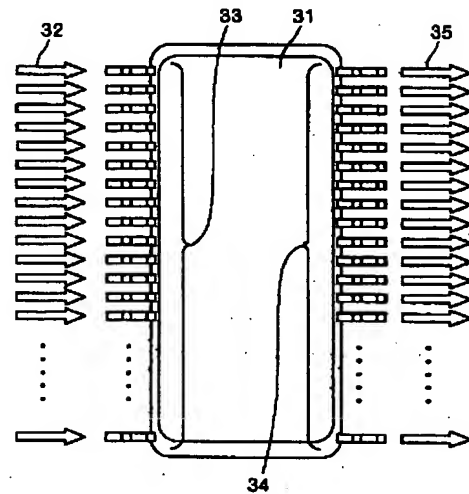
【図 3】



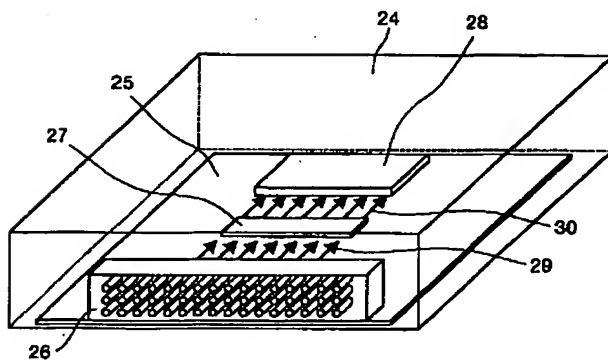
【図 4】



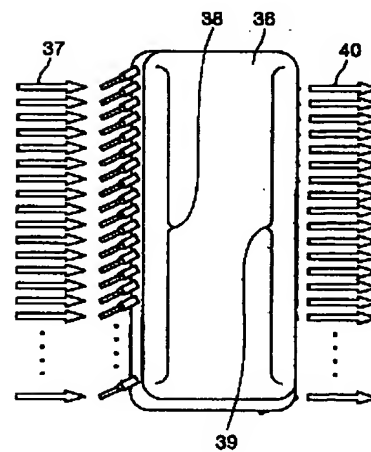
【図 6】



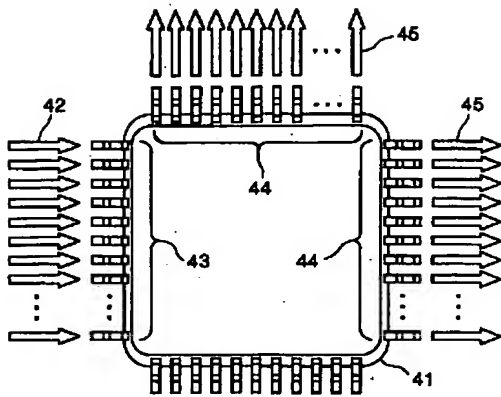
【図 5】



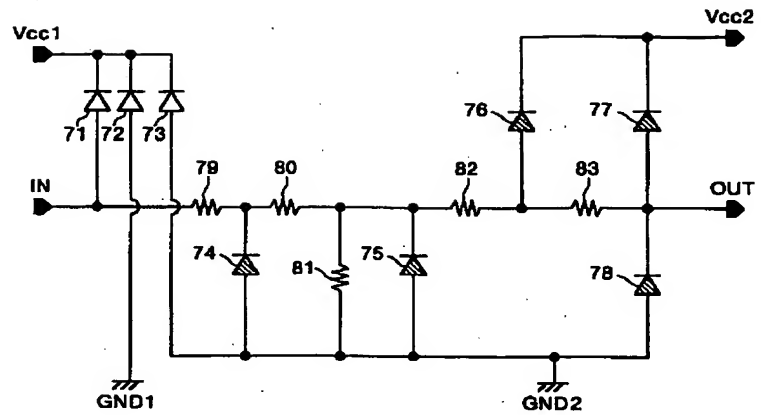
【図 7】



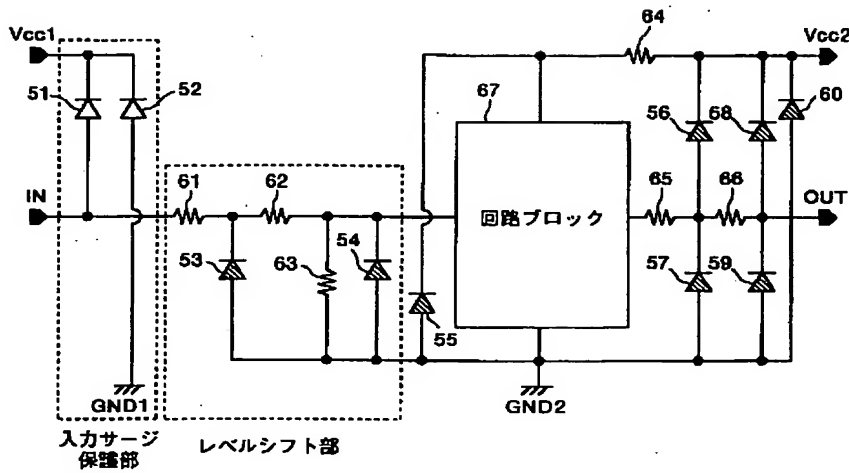
【図 8】



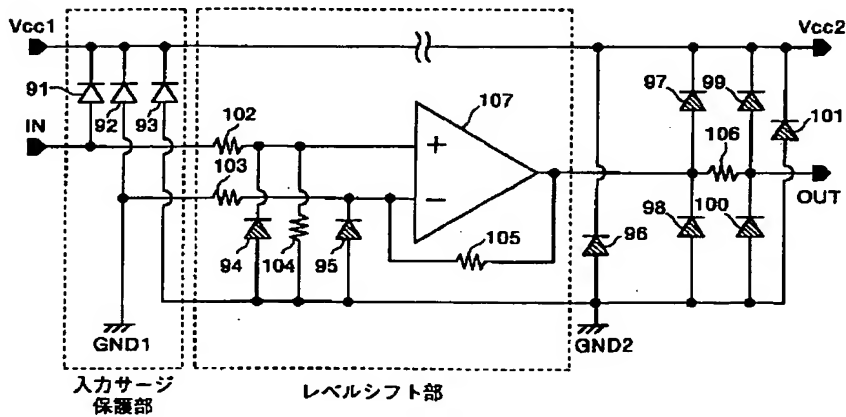
【図 11】



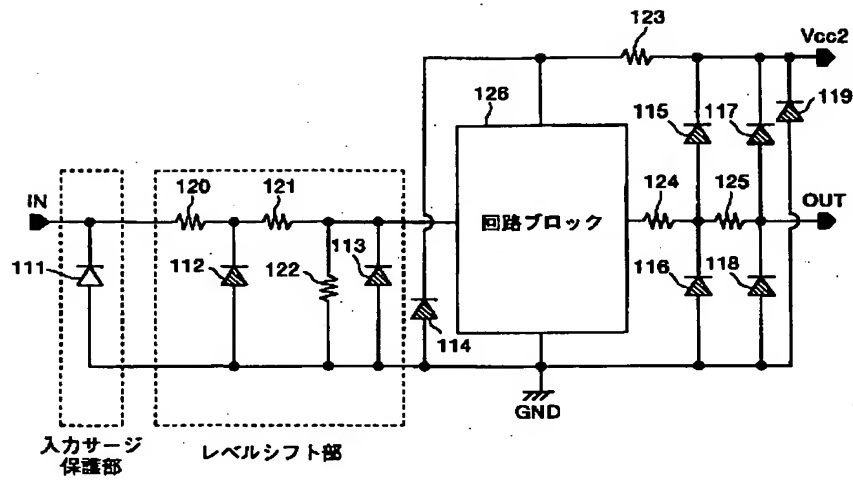
【図 10】



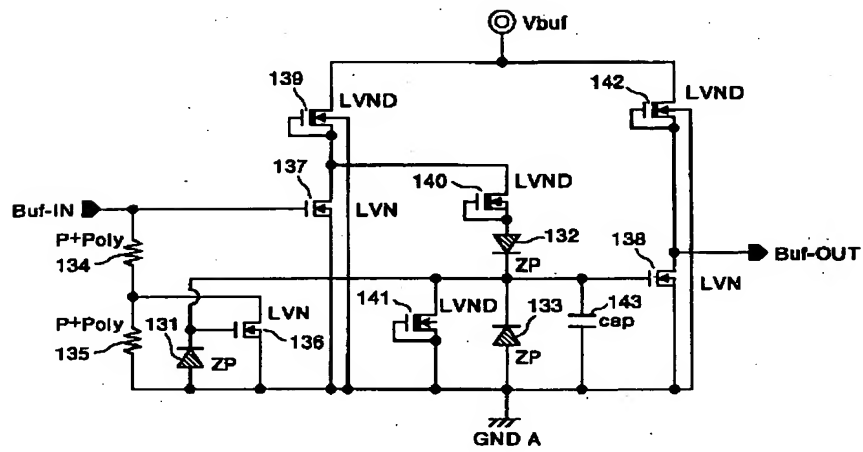
【図 12】



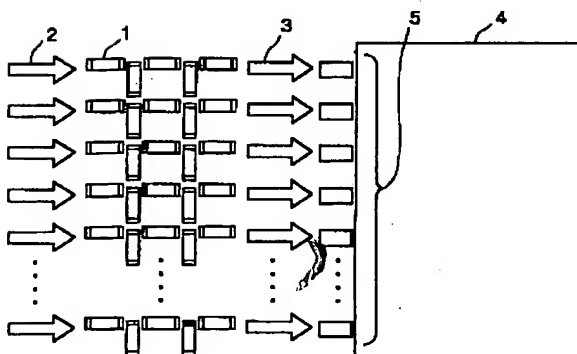
【図 13】



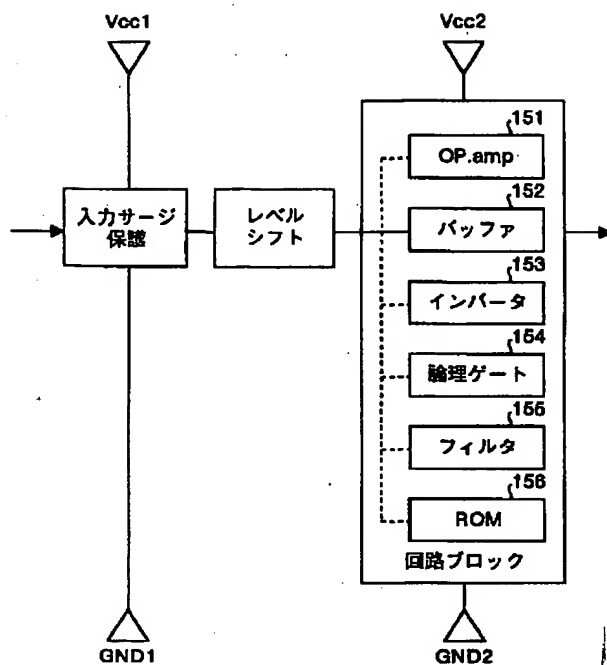
【図 14】



【図 16】



【図 15】



フロントページの続き

(72)発明者 市村 武  
神奈川県川崎市川崎区田辺新田 1 番 1 号  
富士電機株式会社内  
(72)発明者 八重澤 直樹  
神奈川県川崎市川崎区田辺新田 1 番 1 号  
富士電機株式会社内

(72)発明者 古畑 昌一  
神奈川県川崎市川崎区田辺新田 1 番 1 号  
富士電機株式会社内  
F ターム (参考) 5F038 AC03 AC05 AR01 AR09 AZ03  
BH05 BH13 BH19 DF01 DF04  
DF05 EZ07 EZ20  
5F048 AA02 AC10 CC01 CC06 CC09  
CC15 CC18